

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Youichi ISHIMURA, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: FIELD-EFFECT SEMICONDUCTOR DEVICE

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

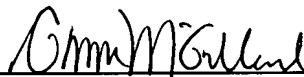
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2000-378796	December 13, 2000

Certified copies of the corresponding Convention Application(s)

- ☒ is submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
☐ are submitted herewith
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak
Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 10/98)



#3
Priority
paper
10-2-01
Ratke

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

01033 U.S. PTO
09/881675
06/18/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年12月13日

出 願 番 号

Application Number:

特願2000-378796

出 願 人

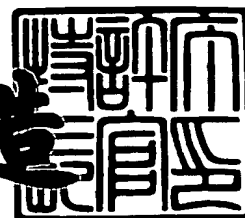
Applicant(s):

三菱電機株式会社

2001年 1月19日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3112388

【書類名】 特許願

【整理番号】 528530JP01

【提出日】 平成12年12月13日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/784

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
 社内

 【氏名】 石村 暢一

【発明者】

 【住所又は居所】 福岡県福岡市西区今宿東一丁目1番1号 福菱セミコン
 エンジニアリング株式会社内

 【氏名】 友松 佳史

【特許出願人】

 【識別番号】 000006013

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号

 【氏名又は名称】 三菱電機株式会社

【代理人】

 【識別番号】 100062144

 【弁理士】

 【氏名又は名称】 青山 葆

【選任した代理人】

 【識別番号】 100086405

 【弁理士】

 【氏名又は名称】 河宮 治

【手数料の表示】

 【予納台帳番号】 013262

 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電界効果型半導体装置

【特許請求の範囲】

【請求項 1】 第 1 の導電型の半導体層と、該半導体層の下側に形成され、下面にコレクタ電極が設けられた第 2 の導電型のコレクタ領域と、該半導体層の上面の一部をなすように形成された第 2 の導電型のベース領域と、該ベース領域の上面の一部をなすように形成された少なくとも一対の第 1 の導電型のエミッタ領域と、該エミッタ領域と半導体層との間に挟まれたベース領域に接触するように形成された絶縁層と、該絶縁層上に設けられたゲート電極と、該ゲート電極を覆うように形成された層間絶縁膜と、該層間絶縁膜とベース領域とエミッタ領域に連続的に接触するように形成されたバリアメタル層と、該バリアメタル層上に形成されたエミッタ電極とを有している電界効果型半導体装置において、

上記エミッタ電極と層間絶縁膜との間に形成されるバリアメタル層が、窒素を含有する層からなることを特徴とする電界効果型半導体装置。

【請求項 2】 上記エミッタ電極と層間絶縁膜との間に形成されるバリアメタル層がチタンナイトライドからなることを特徴とする請求項 1 記載の電界効果型半導体装置。

【請求項 3】 上記バリアメタル層の厚みが 4 0 n m 以上であることを特徴とする請求項 1 又は 2 に記載の電界効果型半導体装置。

【請求項 4】 上記層間絶縁膜の不純物濃度が 5 モル % 以下であることを特徴とする請求項 1 ～ 3 のいずれかに記載の電界効果型半導体装置。

【請求項 5】 上記エミッタ電極がアルミニウムからなることを特徴とする請求項 1 ～ 4 のいずれかに記載の電界効果型半導体装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、MOS ゲートを有する電界効果型半導体装置である。

【 0 0 0 2 】

【従来の技術】

近年、産業機器や家電機器では、省エネルギー化によりインバータ化が急速に進んでいる。このような機器に最適なデバイスとして、絶縁ゲート型バイポーラトランジスタ (Insulated Gate Bipolar Transistor ; 以下、IGBTと表記する) がよく知られている。この I G B T は、M O S F E T (M O S 型電界効果トランジスタ) の一種であり、M O S F E T のドレインに p 層を付加し、ここから少数キャリアを注入し、より低オン抵抗化を図ったデバイスである。すなわち、M O S F E T の利点であるゲート電圧駆動、高速スイッチング特性、破壊しにくい等の長所を備えた有用なパワーデバイスである。

【 0 0 0 3 】

図 6 に、従来知られた I G B T の構造を概略的に示す縦断面説明図である。この I G B T 4 0 では、 p^+ 半導体基板からなる p^+ コレクタ層 4 4 上に、 n^+ バッファ層 4 3 及び n^- 層 4 2 が順次形成されている。また、 n^- 層 4 2 の上面の一部をなすように、p ベース領域 4 6 が形成されている。更に、p ベース領域 4 6 の上面の一部をなすように、高濃度の n 形の不純物が選択的に拡散されて、 n^+ エミッタ領域 4 7 が形成されている。 n^- 層 4 2 と n^+ エミッタ領域 4 7 との間に挟まれた p ベース領域 4 6 の表面領域をチャネル領域として、該チャネル領域上にゲート絶縁層 4 8 を介してゲート電極 4 9 が形成されている。そして、このゲート電極 4 9 を覆う層間絶縁膜 5 1 が形成されている。更に、層間絶縁膜 5 1 を覆うとともに、p ベース領域 4 6 及び n^+ エミッタ領域 4 7 の上面に接触するように、エミッタ電極 5 3 が形成されている。また、 p^+ コレクタ層 4 4 の下面 4 4 a にはコレクタ電極 4 5 が設けられている。

【 0 0 0 4 】

かかる構造を備えた I G B T 4 0 の動作について説明する。ゲート電極 4 9 に正の電圧を印加することにより、ゲート電極 4 9 の下側にある p ベース領域 4 6 の上面に n 型に反転したチャネル領域が形成され、 n^+ エミッタ領域 4 7 から n チャネル領域を通して n^- 層 4 2 に電子が注入される。それと同時に、 p^+ コレクタ層 4 4 から正孔が n^- 層 4 2 に少数キャリアとして注入されるため、 n^- 層 4 2 は伝導度変調を起こし、 n^- 層 4 2 は比較的低い通電抵抗をあらわす長所を有している。

【0005】

このIGBT40では、必然的に寄生サイリスタが構成されるため、高破壊耐量を実現するには、 n^+ エミッタ領域47の下側にあるpベース領域46のピンチ抵抗を低くすることが望ましい。

【0006】

また、IGBT40では、それを高周波で使用するために、ライフタイム制御を行なうことによって、スイッチングスピードが調整される。このライフタイム制御方法としては、例えば白金等の重金属の拡散、電子線照射等のイオン照射があるが、電子照射を用いる場合には、電子線を適当量照射し、その後、組立工程などの熱負荷が加わっても性能が変動しないように、例えば300～400℃でアニール処理が施される。

【0007】

電子線照射では、ゲート絶縁膜48の界面準位が変化するため、しきい値電圧が、以下のように変化する。例えば、電子線照射前のしきい値電圧を V_{th1} 、電子線照射直後のしきい値電圧を V_{th2} 、及び、アニール処理後のしきい値電圧を V_{th3} とすると、以下の関係が得られる。

$$V_{th1} > V_{th2}$$

$$V_{th2} > V_{th3}$$

$$V_{th1} > V_{th3}$$

これらの不等式からわかるように、電子線照射前のしきい値より最終的なしきい値電圧が低くなることから、pベース領域46の濃度を上げることができる。つまり、 n^+ エミッタ領域47の下側にあるpベース領域46のピンチ抵抗を低くすることができ、高破壊耐量をもつIGBTを実現することができる。

【0008】

【発明が解決しようとする課題】

本発明は、複雑な工程を追加することなく、更なる高破壊耐量を実現し得る絶縁ゲート型バイポーラトランジスタを提供することを目的とする。

【0009】

【課題を解決するための手段】

本願の第1の発明は、第1の導電型の半導体層と、該半導体層の下側に形成され、下面にコレクタ電極が設けられた第2の導電型のコレクタ領域と、該半導体層の上面の一部をなすように形成された第2の導電型のベース領域と、該ベース領域の上面の一部をなすように形成された少なくとも一对の第1の導電型のエミッタ領域と、該エミッタ領域と半導体層との間に挟まれたベース領域に接触するように形成された絶縁層と、該絶縁層上に設けられたゲート電極と、該ゲート電極を覆うように形成された層間絶縁膜と、該層間絶縁膜とベース領域とエミッタ領域に連続的に接触するように形成されたバリアメタル層と、該バリアメタル層上に形成されたエミッタ電極とを有している電界効果型半導体装置において、

上記エミッタ電極と層間絶縁膜との間に形成されるバリアメタル層が、窒素を含有する層からなることを特徴としたものである。

【0010】

また、本願の第2の発明は、第1の発明において、上記エミッタ電極と層間絶縁膜との間に形成されるバリアメタル層がチタンナイトライドからなることを特徴としたものである。

【0011】

更に、本願の第3の発明は、本願の第1又は2の発明において、上記バリアメタル層の厚みが40nm以上であることを特徴としたものである。

【0012】

また、更に、本願の第4の発明は、本願の第1～3の発明のいずれか一において、上記層間絶縁膜の不純物濃度が5モル%以下であることを特徴としたものである。

【0013】

また、更に、本願の第5の発明は、本願の第1～4の発明のいずれか一において、上記エミッタ電極がアルミニウムからなることを特徴としたものである。

【0014】

【発明の実施の形態】

以下、本発明の実施の形態について、添付図面を参照しながら説明する。

実施の形態1.

図1は、本発明の実施の形態1に係る絶縁ゲート型バイポーラトランジスタ（以下、IGBTと表記）の構造を概略的に示す縦断面説明図である。このIGBT10では、 p^+ 半導体基板からなる p^+ コレクタ層4上に、 n^+ バッファ層3及び n^- 層2が順次形成されている。また、 n^- 層2の上面の一部をなすように、 p ベース領域6が形成されている。更に、 p ベース領域6の上面の一部をなすように、高濃度の n 形の不純物が選択的に拡散されて、 n^+ エミッタ領域7が形成されている。 n^- 層2と n^+ エミッタ領域7との間に挟まれた p ベース領域6の表面領域をチャンネル領域として、該チャンネル領域上にゲート絶縁層8を介してゲート電極9が形成されている。そして、このゲート電極9を覆う層間絶縁膜11が形成されている。

【0015】

更に、このIGBT10では、層間絶縁膜11、ベース領域6及びエミッタ領域7に連続的に接触するバリアメタル層12が形成され、また、層間絶縁膜51を覆うとともに、 p ベース領域6及び n^+ エミッタ領域7の上面に接触するエミッタ電極13が形成されている。また、 p^+ コレクタ層4の下面4aにはコレクタ電極45が設けられている。

【0016】

かかる構造を備えたIGBT10の動作について説明する。ゲート電極9に正の電圧を印加することにより、ゲート電極9の下側にある p ベース領域6の上面に n 型に反転したチャンネル領域が形成され、 n^+ エミッタ領域7から n チャンネル領域を通して n^- 層2に電子が注入される。それと同時に、 p^+ コレクタ層4から n^+ バッファ層3を通じて正孔が n^- 層2に少数キャリアとして注入される。これにより、 n^- 層2は伝導度変調を起こし、比較的低い通電抵抗をあらわす。

【0017】

このように、IGBT10は、基本的にバイポーラの動作をする。このIGBT10は、 p^+ コレクタ層4と n^- 層2と p ベース領域6とで形成されるトランジスタ部を、ゲート電極9と絶縁層8と p ベース領域6とで形成されるMOSFET部でベース駆動する素子である。

【0018】

この実施の形態 1 では、層間絶縁膜 1 1 とエミッタ電極 1 3 との間のバリアメタル層 1 2 が、窒素を含む層から形成されている。このバリアメタル層 1 2 を形成する方法としては、例えば L S I 等の製造技術において一般に知られた方法を用いることができ、例えば、窒素雰囲気上で、バリアメタル層をスパッタすることで、若しくは、バリアメタル層をスパッタした後で、窒素雰囲気上でアニールすることで容易に形成することができる。

【 0 0 1 9 】

図 2 は、電子線照射及びアニール処理によるしきい値電圧の変化をあらわすグラフである。このグラフは、ライフタイム制御としての電子線照射前のしきい値電圧 (V_{th1})、電子線照射後のしきい値電圧 (V_{th2})、アニール処理後のしきい値電圧 (V_{th3}) の変化を、バリアメタル層をもたない若しくは窒素を含まないバリアメタル層 (例えば T i W) を有する場合と本実施の形態 1 に係る窒素を含むバリアメタル層 1 2 を有する場合 (例えば T i N) とについて、実験的に得られた結果を模式的にあらわしている。次の表 1 は、図 2 のグラフを作成する上で参照された数値を示すものである。

【表 1】

	バリアメタル層をもたない 場合又は窒素を含まないバ リアメタル層を有する場合	窒素を含むバリアメタル 層を有する場合 (本発明)
電子線 (E B) 照射前	0 . 0	0 . 0
電子線 (E B) 照射後	- 2 . 0	- 2 . 0
アニール処理後	- 1 . 0	- 1 . 5

【 0 0 2 0 】

また、図 3 は、次の表 2 を参照して、p ベース濃度とアニール処理後のしきい値電圧との関係をあらわすグラフである。ここでは、バリアメタル層をもたない又は窒素を含まないバリアメタル層 (T i W) を用いたと本実施の形態 1 に係る

形態を用いた場合（TiN）とについて、実験的に得られた結果を模式的にあらわすグラフである。次の表 2 は、図 3 のグラフを作成する上で参照された数値をあらわすものである。

【表 2】

p ベース 濃度	バリアメタル層をもたない 場合又は窒素を含まないバ リアメタル層を有する場合	窒素を含むバリアメタル 層を有する場合（本発明）
1	3. 9	2. 2 1
2	4. 3	2. 4 4
3	4. 7	2. 7 0
4	5. 2	2. 9 8
5	5. 8	3. 3 0
8	7. 8	4. 4 5
1 0	9. 5	5. 4 4

【0 0 2 1】

図 3 のグラフから分かるように、この実施の形態 1 では、窒素を含むバリアメタル層を構成することにより、同一のしきい値電圧を得るための p ベース濃度を上げることができる。つまり、前述するように、 n^+ エミッタ領域の直下にある p ベース領域のピンチ抵抗を低くすることができ、高破壊耐量をもつ IGBT を提供することが可能である。

【0 0 2 2】

実施の形態 2.

本発明の実施の形態 2 に係る IGBT は、基本的に、上記実施の形態 1 における場合と同様の構成を有しているが、ここでは、エミッタ電極の材質として、純アルミニウム（Pure-Al）が用いられる。従来、エミッタ電極の材質としては、例えばシリコンが含まれるアルミニウム合金（Al-Si）が使用されてきたが、近年、ワイヤボンドと半導体との接合強度の向上が必要になってきてい

るとともに、I G B Tは、チップ内のI G B Tセル密度向上のため、I G B Tセル上に直接にワイヤボンドするケースがほとんどである。エミッタ電極の材質としてアルミニウム合金を使用するI G B Tでは、それに含まれる過剰なシリコンが析出されるため、ワイヤボンド時にこのシリコン析出核に応力が集中し、シリコン析出核を起点とする不良が発生する惧れがある。

【 0 0 2 3 】

他方、この実施の形態2のように、I G B T内のエミッタ電極の材質として純アルミニウムが使用された場合には、シリコン析出核が発生しないものの、シリコン自体と反応（アルミスパイク）することにより、オーミックコンタクトし得なくなるケースがある。図4は、アルミスパイクとコンタクト抵抗との関係を示すために、バリアメタル層をもたない場合のS iの含有量と、pベース領域6及びnエミッタ領域7のコンタクト抵抗との関係をあらわすグラフである。次の表3は、図4のグラフを作成する上で参照された数値を示すものである。

【表 3】

A I 内の S i 含有量[%]	コンタクト抵抗及びその変化率			
	p ベース		n エミッタ	
0. 0 0 0	5 5. 1	1 7 0. 1 %	1 0 7. 0 8	1 2 9 4. 3 %
0. 1 6 7	2 4. 2	1 8. 6 %	5 5. 4 8	6 2 2. 4 %
0. 3 3 3	2 2. 6	1 0. 8 %	1 4. 6 4	9 0. 6 %
0. 5 0 0	1 8. 9	- 7. 4 %	8. 3 5	8. 7 %
0. 6 6 7	2 0. 0	- 2. 0 %	7. 8 8	2. 6 %
1. 0 0 0	2 0. 4	0. 0 %	7. 6 8	0. 0 %

【 0 0 2 4 】

図4のグラフから分かるように、ある程度のS iを含んでいない場合に、アルミスパイクが発生する。なお、例えば特開平1 1 - 2 8 4 1 7 6号公報にもこれと同様の説明があり、上記の現象は一般的なものであるが、本発明の実施の形態2では、チツ化されたバリアメタル層を構成することにより、上記公報に開示される効果に加え、高破壊耐量を有することが可能となる。

【 0 0 2 5 】

実施の形態 3.

図 5 には、上記実施の形態 2 で説明したように、エミッタ電極 1 3（図 1 参照）の材質として純アルミニウムを用いた I G B T に関し、例えばチタンスパッタリングを実施した後、窒素雰囲気中でアニール処理を施したチタンナイトライドからなるバリアメタル層 1 2 の膜厚とコンタクト抵抗との関係をあらわす。次の表 4 は、図 5 のグラフを作成する上で参照された数値をあらわす表である。

【表 4】

バリアメタル の膜厚[Å]	コンタクト抵抗及びその変化率			
	p ベース		n エミッタ	
1 9 8	2 8 . 7 6	3 3 . 0 %	1 0 . 3 3	4 3 . 5 %
2 9 7	2 4 . 8 7	1 5 . 0 %	7 . 9 2	1 0 . 0 %
3 9 4	2 2 . 8	5 . 4 %	6 . 8 9	- 4 . 3 %
5 1 2	2 3 . 6 8	9 . 5 %	7 . 0 0	- 2 . 8 %
6 3 5	2 1 . 6 3	0 . 0 %	7 . 2 0	0 . 0 %
8 0 0	2 1 . 5 3	- 0 . 5 %	7 . 0 0	- 2 . 8 %
1 0 3 1	2 3 . 4 8	8 . 6 %	7 . 3 3	1 . 8 %

【 0 0 2 6 】

図 5 のグラフから分かるように、バリアメタル層 1 2 の膜厚 4 0 n m を境にコンタクト抵抗に大きな変化が見られる。すなわち、バリアメタル層 1 2 の十分なバリア性を確保するためには、4 0 n m 以上の膜厚を有するようにバリアメタル層 1 2 を形成する必要がある。このように、バリアメタル層 1 2 の十分なバリア性を確保することによって、装置の性能安定性を確保することができる。

【 0 0 2 7 】

実施の形態 4.

更に、上記実施の形態 2 で説明したように、エミッタ電極 1 3 の材質として純アルミニウムを用いるとともに、例えばチタンスパッタを実施した後に、窒素雰囲気中でアニール処理を施したチタンナイトライドからなるバリアメタル層が形成

された I G B T において、層間絶縁膜 1 1（図 1 参照）の不純物濃度（例えばリン濃度）を振り分け、そのワイヤボンド性を調査したところ、不純物濃度が 5 モル%以上になると、層間絶縁膜 1 1 とバリアメタル層 1 2 との接合強度が低下することが確認された。

【 0 0 2 8 】

このことから、その不純物濃度が 5 モル%以上にならないように層間絶縁膜 1 1 を構成することが望ましい。なお、5 モル%以上で構成する場合には、この層間絶縁膜 1 1 上にノンドープの層間絶縁膜を設ける必要がある。

このように、その不純物濃度が 5 モル%以上にならないように層間絶縁膜 1 1 を構成し、層間絶縁膜 1 1 とバリアメタル層 1 2 との間で十分な接合強度を確保することにより、装置の性能安定性を向上させることができる。

【 0 0 2 9 】

なお、本発明は、例示された実施の形態に限定されるものでなく、本発明の要旨を逸脱しない範囲において、種々の改良及び設計上の変更が可能であることは言うまでもない。例えば、前述した各実施の形態では、キャパシタ構造として M O S 構造を有する電力用半導体装置を説明したが、これに限定されることなく、本発明は、例えばトレンチ構造を有する電力用半導体装置にも適用可能である。

【 0 0 3 0 】

【発明の効果】

以上の説明から明らかなように、本願の請求項 1 の発明によれば、第 1 の導電型の半導体層と、該半導体層の下側に形成され、下面にコレクタ電極が設けられた第 2 の導電型のコレクタ領域と、該半導体層の上面の一部をなすように形成された第 2 の導電型のベース領域と、該ベース領域の上面の一部をなすように形成された少なくとも一对の第 1 の導電型のエミッタ領域と、該エミッタ領域と半導体層との間に挟まれたベース領域に接触するように形成された絶縁層と、該絶縁層上に設けられたゲート電極と、該ゲート電極を覆うように形成された層間絶縁膜と、該層間絶縁膜とベース領域とエミッタ領域に連続的に接触するように形成されたバリアメタル層と、該バリアメタル層上に形成されたエミッタ電極とを有している電界効果型半導体装置において、上記エミッタ電極と層間絶縁膜との間

に形成されるバリアメタル層を窒素を含有する層から形成するため、同一のしきい値電圧を得るためのベース濃度を上げることができ、これにより、エミッタ領域の下側にあるベース領域のピンチ抵抗を低くすることが可能となり、装置の高破壊耐量を実現することができる。

【0031】

また、本願の請求項2の発明によれば、上記エミッタ電極と層間絶縁膜との間に形成されるバリアメタル層がチタンナイトライドからなるため、装置の高破壊耐量を実現することができる。

【0032】

更に、本願の請求項3の発明によれば、上記バリアメタル層の厚さが40nm以上であるため、バリアメタル層の十分なバリア性を実現することができ、その結果、装置の性能安定性を向上させることができる。

【0033】

また、更に、本願の請求項4の発明によれば、上記層間絶縁膜の不純物濃度が5モル%以下であるため、層間絶縁膜とバリアメタル層との間に十分な接合強度を確保することができ、装置の性能安定性を向上させることができる。

【0034】

また、更に、本願の請求項5の発明によれば、上記エミッタ電極がアルミニウムからなるため、アルミスパイクの発生を十分に抑制することができ、組立時の歩留りを向上させることができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1に係る絶縁ゲート型バイポーラトランジスタ（IGBT）の構造を概略的に示す縦断面説明図である。

【図2】 上記実施の形態1に係るIGBTについての、電子線照射及びアニール処理によるしきい値電圧の変化をあらわすグラフである。

【図3】 上記実施の形態1に係るIGBTについての、pベース濃度としきい値電圧との関係をあらわすグラフである。

【図4】 本発明の実施の形態2に係るIGBTについての、Al内に含まれるSiの含有量とコンタクト抵抗の変化率との関係をあらわすグラフである。

【図 5】 本発明の実施の形態 3 に係る I G B T についての、バリアメタル層の膜厚とコンタクト抵抗の変化率との関係をあらわすグラフである。

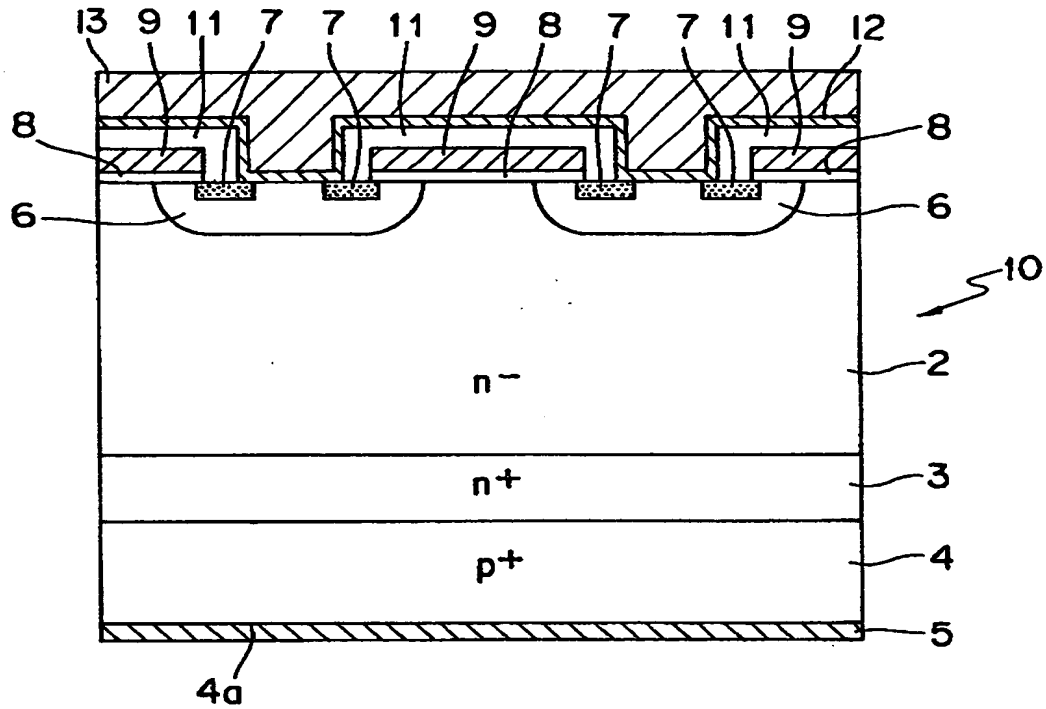
【図 6】 従来の絶縁ゲート型バイポーラトランジスタの構造を概略的に示す縦断面説明図である。

【符号の説明】

2 n^- 層, 3 n^+ バッファ層, 4 p^+ コレクタ層, 5 コレクタ電極,
6 p ベース領域, 7 n^+ エミッタ領域, 8 絶縁膜, 9 ゲート電極, 1 0
絶縁ゲート型バイポーラトランジスタ, 1 1 層間絶縁膜, 1 2 バリアメタル層, 1 3 エミッタ電極

【書類名】 図面

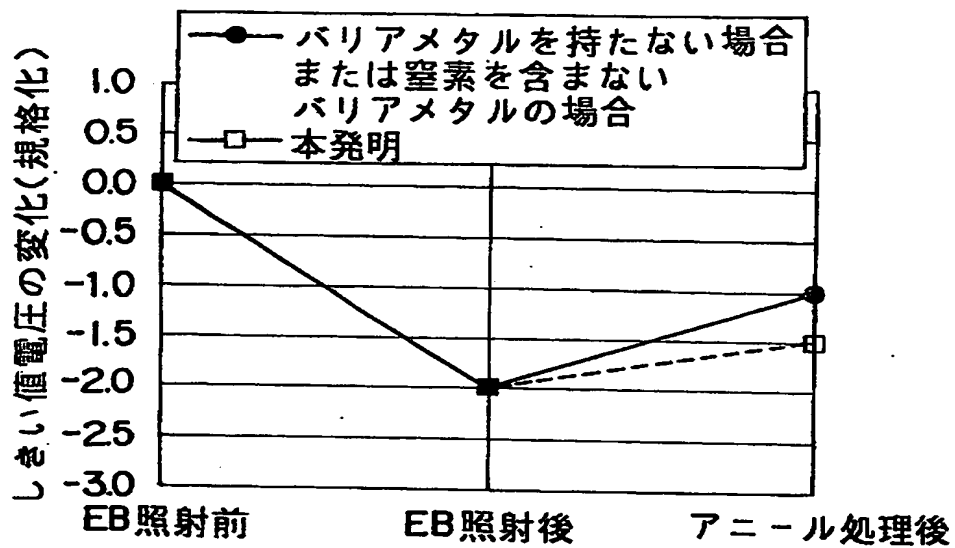
【図1】



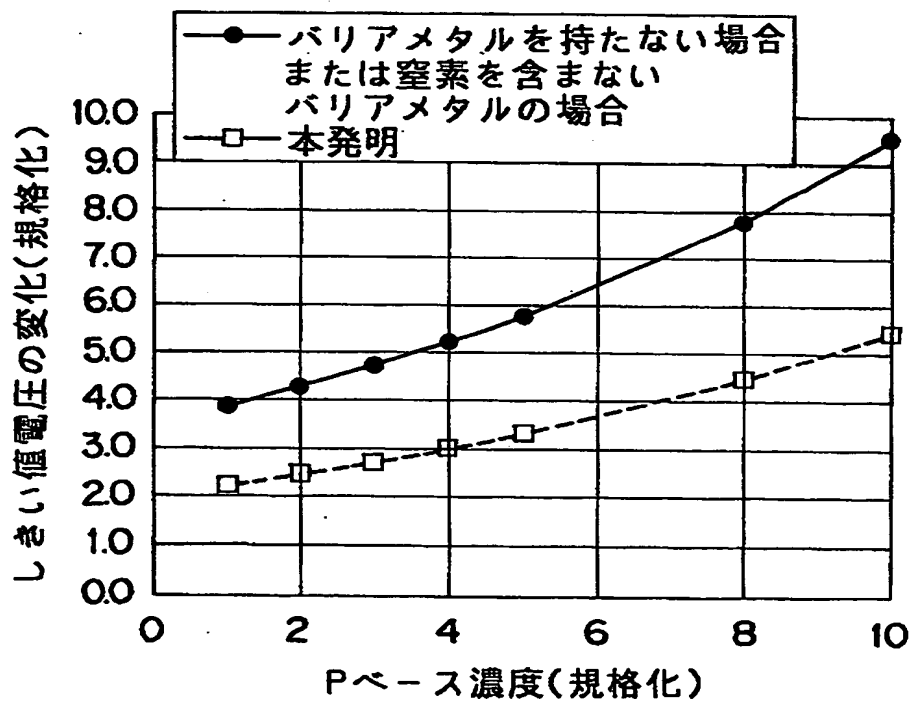
2 : n⁻層
 3 : n⁺バッファ層
 4 : p⁺コレクタ層
 5 : コレクタ電極
 6 : pベース領域
 7 : n⁺エミッタ領域

8 : 絶縁膜
 9 : ゲート電極
 10 : IGBT
 11 : 層間絶縁膜
 12 : バリアメタル層
 13 : エミッタ電極

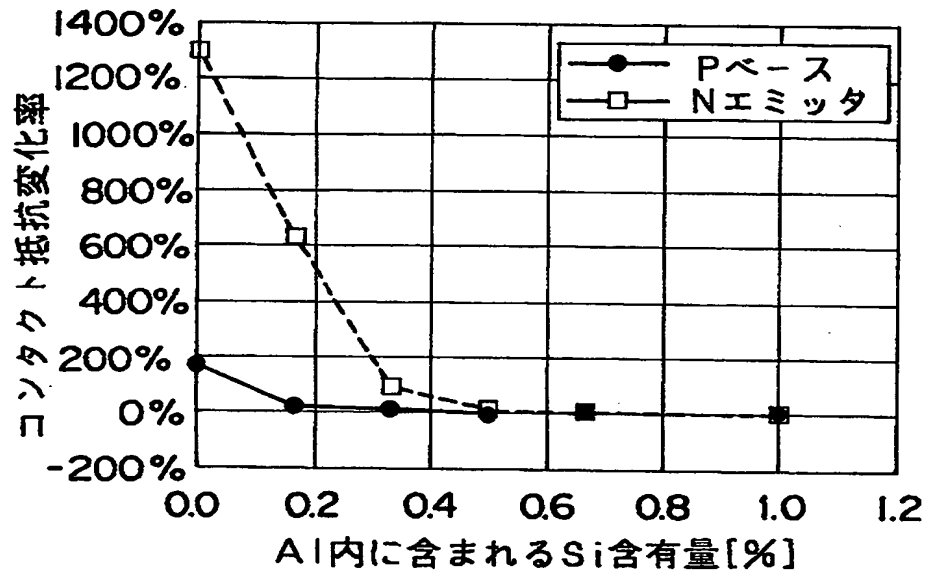
【図2】



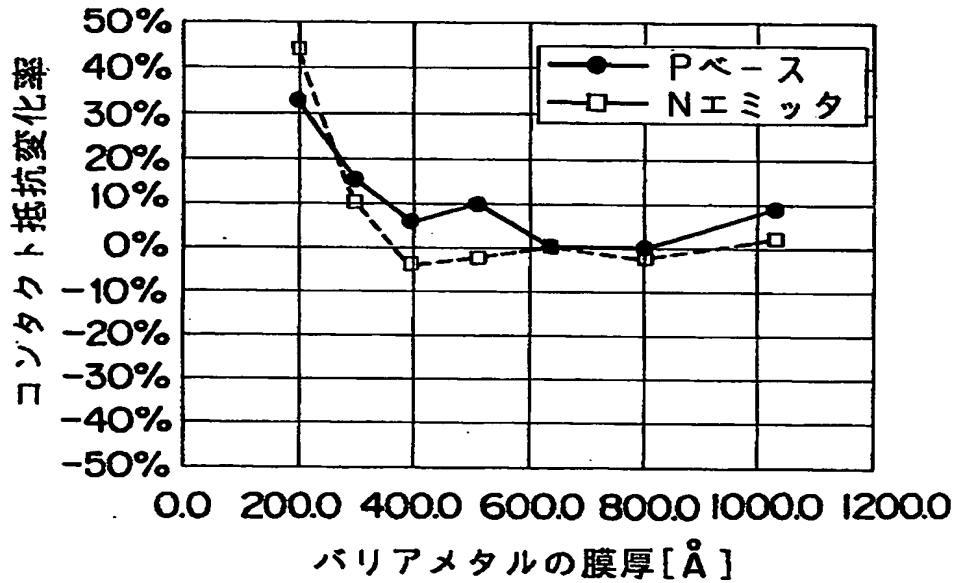
【図3】



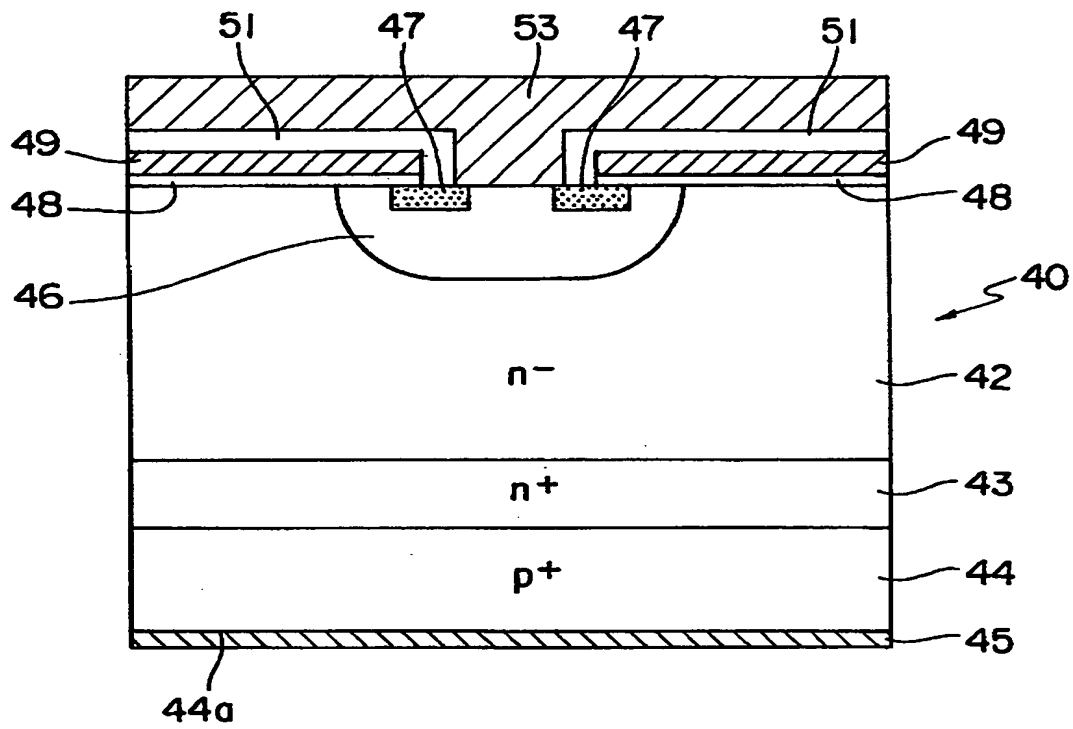
【図4】



【図5】



【図 6】



【書類名】 要約書

【要約】

【課題】 複雑な工程を追加することなく、更なる高破壊耐量を実現し得る絶縁ゲート型バイポーラトランジスタを提供する。

【解決手段】 第1の導電型の半導体層と、該半導体層の下側に形成された第2の導電型のコレクタ領域と、該半導体層の上面の一部をなすように形成された第2の導電型のベース領域と、該ベース領域の上面の一部をなすように形成された第1の導電型のエミッタ領域と、該エミッタ領域と半導体層との間に挟まれたベース領域に接触するように形成された絶縁層と、該絶縁層上に設けられたゲート電極と、該ゲート電極を覆うように形成された層間絶縁膜と、該層間絶縁膜とベース領域とエミッタ領域とに連続的に接触するように形成されたバリアメタル層と、該バリアメタル層上に形成されたエミッタ電極とを有している電界効果型半導体装置において、上記バリアメタル層を、窒素を含有する層で構成する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社